

Research on the Influence of Spacer Design on the Electrothermal Performance of Double Gate-All-Around FET

Xuguo Zhang Jie Xu

Shanghai University of Electric Power, Shanghai, 200090, China

Abstract

The influence of spacer design on the electro-thermal performance of Double Gate-All-Around FET is studied. The simulation results show that the single-k Al_2O_3 spacer design can greatly improve the self-heating effect and intrinsic gate delay (τ) of the Double Gate-All-Around FET. Compared with the dual-k spacer, the on-state current (I_{ON}) of the single-k Al_2O_3 spacer is only reduced by 3.7%, while its thermal resistance (R_{th}) and τ are improved by 9.76% and 16.6%, respectively.

Keywords

spacer design; double gate-all-around; self-heating effect; intrinsic gate delay

侧壁设计对双环栅场效应晶体管电热性能的研究

章徐国 许洁

上海电力大学, 中国 · 上海 200090

摘要

研究了侧壁设计对双环栅场效应晶体管电热特性的影响。结果表明, 单层氧化铝侧壁设计能够较大地改善双环栅器件的自热效应和本征栅延迟 (τ)。相比于双层侧壁, 单层氧化铝侧壁的开态电流 (I_{ON}) 仅下降了 3.7%, 而其热阻 (R_{th}) 与 τ 分别改善了 9.76% 和 16.6%。

关键词

侧壁设计; 双环栅; 自热效应; 本征栅延迟

1 引言

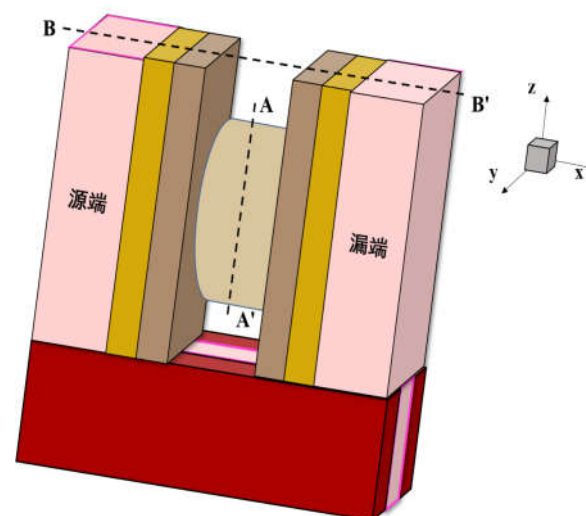
High-k 侧壁可以通过栅边缘效应增强器件的电流驱动^[1], 但这会引入较大的栅极电容 (C_{gg}), 且 High-k 材料的低热导率会引入严重的自热效应, 对载流子迁移率产生不利影响^[2]。

论文通过 TCAD 软件研究了不同侧壁设计对 DGAA 器件电热特性的影响, 从而更好地进行热管理和器件设计。

2 器件结构

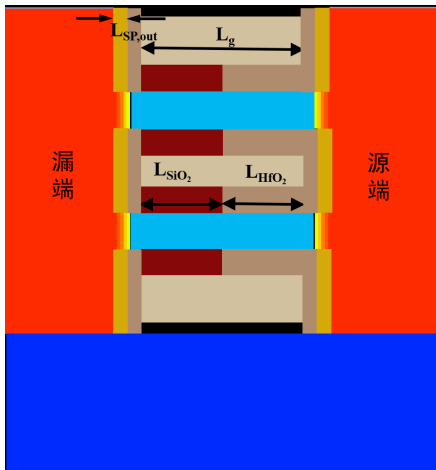
图 1 (a)、(b) 分别为 DGAA FET 的三维模型示意图及 xz 平面的二维示意图。其源漏区设计为长方体^[3]。因为块状衬底 (bulk) 相比于 SOI 结构成本更低且对 SHE 抗扰性更强, 这里选用块体结构作为衬底。由于二氧化硅、氮化硅、氧化铝和二氧化铪的热导率对温度的依赖性较小, 论

文将它们设置为常数。论文所涉及的器件参数与热学参数分别如表 1 所示。



(a) 三维结构

【作者简介】章徐国 (1997-), 男, 中国上海人, 硕士, 从事硅基半导体器件研究。



(b) xz 平面结构

图 1 n 型 DGAA FET 结构示意图

表 1 仿真涉及的器件参数及热学参数

符号	仿真参数	数值
L_g	栅极长度	20nm
L_{sp}	侧壁长度	6nm
N_{SD}	源漏掺杂浓度	$1 \times 10^{21} \text{cm}^{-3}$
N_c	沟道掺杂浓度	$1 \times 10^{15} \text{cm}^{-3}$
R_c	源漏接触电阻	$2.82 \times 10^{-8} \Omega \text{cm}^2$
K_c	沟道热导率	$25 \text{W}/(\text{m} \cdot \text{K})$
K_{SD}	源漏热导率	$62 \text{W}/(\text{m} \cdot \text{K})$
K_{bulk}	衬底热导率	$148 \text{W}/(\text{m} \cdot \text{K})$

3 仿真结果分析

本节采用控制变量法，固定侧壁总长度为 6nm，通过调整侧壁材料和外层侧壁长度 ($L_{sp,out}$) 研究双层侧壁与单层侧壁对 DGAA 器件电热性能的影响。图 2 (a) 为 C_{gg} 与 τ 在不同侧壁材料与 $L_{sp,out}$ 的变化曲线。因为侧壁电容正比于介电常数，所以 C_{gg} 与 τ 随着 $L_{sp,out}$ 的增加呈下降趋势。如图 2 (b)， I_{ON} 随着 $L_{sp,out}$ 的增加先趋于饱和而后又缓慢减小，且 I_{ON} 趋于饱和的范围与内层侧壁 (二氧化硅) 所占比例及外层侧壁材料相关。对于介电常数较大的外层侧壁 (氧化铝、氮化硅)，维持 I_{ON} 饱和的条件是二氧化硅所占比例 $\geq 40\%$ ，而对于介电常数较小的外层侧壁 (二氧化硅、空气)，二氧化硅所占比例 $\geq 50\%$ 时才能维持稳定的 I_{ON} ，即由栅边缘效应引起的 I_{ON} 增加达到饱和。上述现象的原因是外层侧壁对栅边缘效应也有一定的贡献，因此具有较大介电常数外层侧壁的设计受 $L_{sp,out}$ 的影响最小且其 I_{ON} 始终是所有双层侧壁设计中最大的。当 $L_{sp,out} > 3.5 \text{nm}$ 后，由于栅边缘效应的减弱， I_{ON} 随 $L_{sp,out}$ 的增加而恶化。如图 2 (c)，由于氧化铝和氮化硅热导率较高，所以对于氧化铝 / 二氧化硅与氮化硅 / 二氧化硅侧壁， R_{th} 随 $L_{sp,out}$ 的增加而改善；而二氧化硅与空气热导率与二氧化硅相近，所以二氧化硅 / 二氧化硅与空气 / 二氧化硅侧壁对 DGAA FET 的热学性能几乎没有改善。虽然氧化铝 / 二氧化硅侧壁的 I_{ON} 是所有 dual-k 设计中最大的，但其凭借最小的 R_{th} 得到了最小的 T_{max} ，极大地改善了自热效应，兼顾了 DGAA FET 的电热性能；而得到最小 I_{ON} 的空气 / 二氧化硅侧壁的 T_{max} 却是最高的，如图 2 (d) 所示。

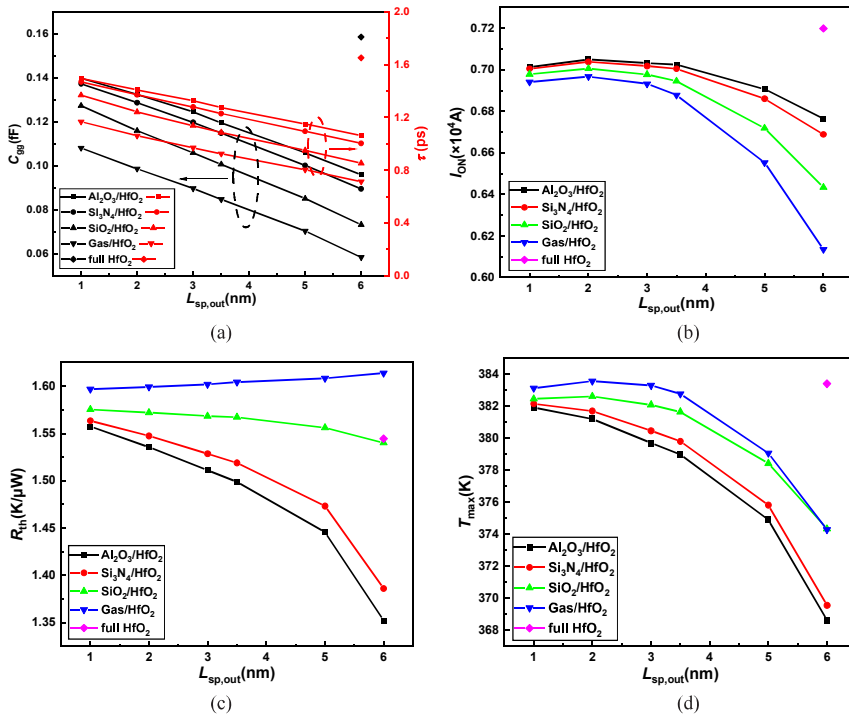


图 2 不同侧壁设计， $L_{sp,out}$ 对 (a) C_{gg} 、 τ 、(b) I_{ON} 、(c) R_{th} 及 (d) T_{max} 的影响

当 $L_{sp,out} < 3nm$ 时,由氧化铝/二氧化铪侧壁的栅边缘效应导致的 I_{ON} 提升达到饱和,继续减少 $L_{sp,out}$ 只会增加 C_{gg} 与 R_{th} , 所以分别取 $L_{sp,out}=3、3.5、5、6nm$ 下的氧化铝/二氧化铪侧壁与单层二氧化铪侧壁的进行比较。

图3为不同 $L_{sp,out}$ 下,氧化铝/二氧化铪侧壁相比于单层二氧化铪侧壁 C_{gg} 、 τ 、 I_{ON} 及 R_{th} 的下降率。由于 DGAA FET 优秀的栅控能力使其处于体反型,继续增加 $L_{sp,out}$ 对 I_{ON} 的提升有限,但能极大地改善 C_{gg} 、 τ 与 R_{th} 。

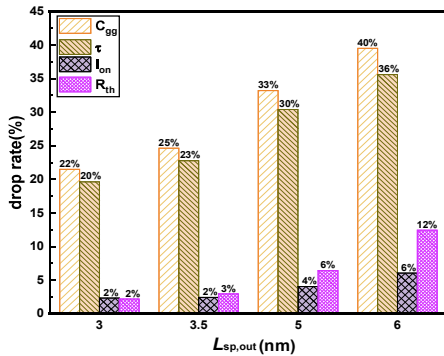


图3 不同 $L_{sp,out}$ 下,氧化铝/二氧化铪侧壁相比于单层二氧化铪侧壁 C_{gg} 、 τ 、 I_{ON} 及 R_{th} 的下降率

相比于栅边缘效应刚饱和的氧化铝/二氧化铪侧壁 ($L_{sp,out}=3.5nm$), 单层氧化铝侧壁的 I_{ON} 恶化了 3.7%, 而 R_{th} 与 τ 分别改善了 9.76% 和 16.6%, 所以对于 DGAA 器件, 采用单层氧化铝侧壁能够更好地做到电热折衷。

4 结论

论文通过 TCAD 仿真研究了侧壁设计对 DGAA FET 中自热效应的改善程度。仿真结果表明,相比于栅边缘效应刚饱和的氧化铝/二氧化铪侧壁,单层氧化铝侧壁的 I_{ON} 仅下降了 3.7%, 而 R_{th} 与 τ 分别改善了 9.76% 和 16.6%, 即单层氧化铝侧壁能够更好地做到电热折衷。

参考文献

- [1] H Ko, J Kim, M Kim, et al. Comparison of dual-k spacer and single-k spacer for single NWFET and 3-stack NWFET [J]. Solid-State Electronics, 2018,140(6):64-68.
- [2] G Zhang, J Lai, S Zhu, et al. Numerical study on the self-heating effects for vacuum/high-k gate dielectric tri-gate FinFETs [J]. Microelectronics Reliability, 2019(95):52-57.
- [3] M Yeong, I Song, M J Kang, et al. Self-Heating and Electrothermal Properties of Advanced Sub-5-nm Node Nanoplate FET [J]. IEEE Electron Device Letters, 2020,41(7):977-980.